

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-189957

(43)Date of publication of application : 21.07.1998

(51)Int.Cl.

H01L 29/78
G11C 11/407
H01L 27/04
H01L 21/822
H01L 21/8234
H01L 27/06
H01L 27/108
H01L 21/8242
H01L 29/786

(21)Application number : 08-347385 (71)Applicant : MITSUBISHI ELECTRIC CORP

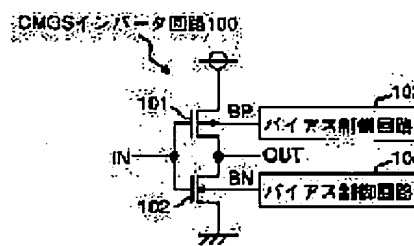
(22)Date of filing : 26.12.1996 (72)Inventor : SHIMOMURA KENICHI
SHIMANO HIROKI

(54) SEMICONDUCTOR INTEGRATED CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To enable both high-speed operation and low-power consumption by changing the potential of the potential controlling terminal of a substrate in the pulse state into a direction, in which the threshold voltage becomes low corresponding to the rising and falling timings of an input signal into the gate of a MOS transistor.

SOLUTION: A bias control circuit 103 decreases a back-node potential BP of a P-channel MOS transistor 101 during the period, from the time when an input signal IN starts to change into Low to the time when an output signal OUT is changed into High. Furthermore, a bias control circuit 104 increases a back-node potential BN of an N-channel MOS transistor 102 during the period, from the time when the input signal IN starts to change to High to the time when the output signal OUT is changed to Low. Thus, the drive capability of the MOS transistor is improved, and the circuit operation becomes quick. Therefore, the period for increasing the drive capability is suppressed to a minimum, and the increase in power consumption can be suppressed to a minimum.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision
of rejection]

[Kind of final disposal of application
other than the examiner's decision of
rejection or application converted
registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's
decision of rejection]

[Date of requesting appeal against
examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-189957

(43) 公開日 平成10年(1998) 7月21日

(51) Int.Cl.⁸

識別記号

F I

H 0 1 L 29/78

G 1 1 C 11/407

H 0 1 L 27/04

21/822

21/8234

H 0 1 L 29/78

G 1 1 C 11/34

H 0 1 L 27/04

27/06

27/10

3 0 1 X

3 5 4 F

D

1 0 2 F

6 7 1 C

審査請求 未請求 請求項の数10 O L (全 19 頁) 最終頁に続く

(21) 出願番号

特願平8-347385

(22) 出願日

平成8年(1996)12月26日

(71) 出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72) 発明者 下邨 研一

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内

(72) 発明者 島野 裕樹

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内

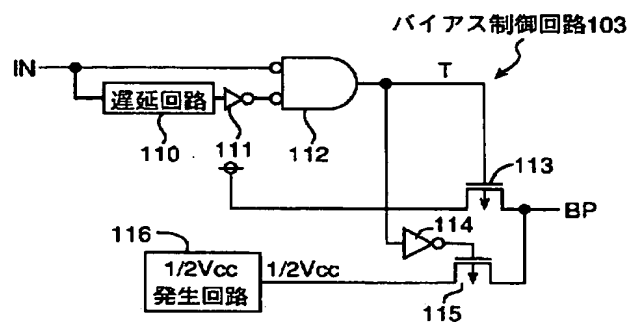
(74) 代理人 弁理士 青山 葆 (外2名)

(54) 【発明の名称】 半導体集積回路

(57) 【要約】

【課題】 低い電源電圧下でも高速動作と低消費電力を両立する半導体集積回路を提供する。

【解決手段】 本発明の半導体集積回路は、基板部の電位を制御する基板電位制御端子を備えるMOSトランジスタと、当該MOSトランジスタの入力信号の立ち上がり及び立ち下がりタイミングに応じて、該MOSトランジスタの基板電位制御端子の電位を、該MOSトランジスタのしきい値が低くなる方向に、所定の期間、パルス状に変化させる制御回路とを備える。



【特許請求の範囲】

【請求項1】 基板部の電位を制御する基板電位制御端子を備えるMOSトランジスタと、

当該MOSトランジスタのゲートへの入力信号の立ち上がり及び立ち下がりタイミングに応じて、該MOSトランジスタの基板電位制御端子の電位を、該MOSトランジスタのしきい値が低くなる方向に、所定の期間、パルス状に変化させる制御回路とを備えることを特徴とする半導体集積回路。

【請求項2】 基板部の電位を制御する基板電位制御端子を備えるMOSトランジスタと、

当該MOSトランジスタを活性化する信号がゲートに入力されている期間中、該MOSトランジスタの基板電位制御端子の電位を、該MOSトランジスタのしきい値が低くなる方向にパルス状に変化させる制御回路とを備えることを特徴とする半導体集積回路。

【請求項3】 基板部の電位を制御する基板電位制御端子を備えるMOSトランジスタを、1つ以上用いてなる演算回路と、

演算回路を作動させる制御信号を生成する制御回路と、制御信号による演算回路の作動開始タイミングを第1のタイミングとし、当該活性化された演算回路内の信号の遷移する最も遅いタイミングを第2のタイミングとし、第1のタイミング及び第2のタイミングに挟まれた期間、演算回路で用いるMOSトランジスタの基板電位制御端子の電位を、ゲートのしきい値が低くなる方向にパルス状に変化させるバイアス制御回路とを備えることを特徴とする半導体集積回路。

【請求項4】 複数の演算回路が、基板部の電位を制御する基板電位制御端子を備えるMOSトランジスタを用いて構成される信号伝搬経路を介して接続してなる演算部と、

各演算回路の信号伝搬経路が信号を伝搬する期間中、当該信号伝搬経路が備えるMOSトランジスタのしきい値を低くする方向に基板電位制御端子の電位をパルス状に変化させる制御回路とを備えることを特徴とする半導体集積回路。

【請求項5】 基板部の電位を制御する基板電位制御端子を備えるMOSトランジスタを、各々使用する複数の内部回路と、

外部より入力される信号に基づいて、複数の内部回路の各々へ所定の制御信号を出力すると共に、当該内部回路の備えるMOSトランジスタのしきい値を低くする方向に基板電位制御端子の電位をパルス状に変化させる制御回路とを備えることを特徴とする半導体集積回路。

【請求項6】 各々基板部の電位を制御する基板電位制御端子を備えるMOSトランジスタであって、第1及び第2のNチャンネルMOSトランジスタのソースが第1のドライブ線に共通に接続し、第1及び第2のPチャンネルMOSトランジスタのソースが第2のドライブ線に

共通に接続され、第1のNチャンネルMOSトランジスタのドレイン及び第1のPチャンネルMOSトランジスタのドレインと第2のNチャンネルMOSトランジスタのゲート及び第2のPチャンネルMOSトランジスタのゲートがビット線に共通に接続し、第2のNチャンネルMOSトランジスタのドレイン及び第2のPチャンネルMOSトランジスタのドレインと第1のNチャンネルMOSトランジスタのゲート及び第1のPチャンネルMOSトランジスタのゲートがビット線と対をなすビット線バーに共通に接続し、第3のNチャンネルMOSトランジスタのドレインが第1のドライブ線に接続し、ソースがグランド線に接続しゲートが第1のセンス駆動信号に接続し、第3のPチャンネルMOSトランジスタのドレインが第2のドライブ線に接続し、ソースが電源線に接続し、ゲートが第2のセンス駆動信号に接続されてなるセンスアンプ回路と、

センスアンプ回路において、センス動作の開始に伴い、第1及び第2のセンス駆動信号が第3のNチャンネルMOSトランジスタ及び第3のPチャンネルMOSトランジスタを活性化した直後に、第1及び第2のNチャンネルMOSトランジスタ、及び、第1及び第2のPチャンネルMOSトランジスタの基板電位制御端子の電位を、ゲートのしきい値が低くなる方向に、所定の期間だけパルス状に変化させると共に、上記センス動作の開始より所定の時間が経過した後に、第3のNチャンネルMOSトランジスタ及び第3のPチャンネルMOSトランジスタの基板電位制御端子の電位を、しきい値が低くなる方向に、所定の期間だけパルス状に変化させる制御回路とを備えることを特徴とする半導体集積回路。

【請求項7】 請求項6に記載された半導体集積回路において、

制御回路は、上記センス動作の開始直後に、第1及び第2のNチャンネルMOSトランジスタの基板電位制御端子の電位を、第1及び第2のNチャンネルMOSトランジスタのソース電位より高く、該ソース電位に該トランジスタのP-チャンネルとN+ソースドレイン間のPN接合拡散電位を加えた電位よりも低い電位に、パルス状に変え、第1及び第2のPチャンネルMOSトランジスタの基板電位制御端子の電位を、第1及び第2のPチャンネルMOSトランジスタのソース電位より低く、該ソース電位から該トランジスタのN-チャンネルとP+ソースドレイン間のPN接合拡散電位を差し引いた電位よりも高い電位に、パルス状に変え、センス動作開始より所定の時間が経過した後に、第3のNチャンネルMOSトランジスタの基板電位制御端子の電位を、グランド電位よりも高く、該グランド電位に該トランジスタのP-チャンネルとN+ソースドレイン間のPN接合拡散電位を加えた電位よりも低く、パルス状に変え、第3のPチャンネルMOSトランジスタの基板電位制御端子の電位を、電源電位より低く、該電源電位から該トランジスタ

のN-チャンネルとP+ソースドレイン間のPN接合拡散電位を差し引いた電位よりも高い電位に、パルス状に変えることを特徴とする半導体集積回路。

【請求項8】 請求項6に記載された半導体集積回路において、

更に、各MOSトランジスタに備える基板電位制御端子の電位がグラウンド電位にPN接合拡散電位を加えた電位を越えないようにクランプするPN接合ダイオードからなるクランプ回路を備え、

上記クランプ回路には、クランプ電流が直接流入するグラウンド線を、第1及び第2のNチャンネルMOSトランジスタのソースノードが第3のNチャンネルMOSトランジスタを介して接続するグラウンド線とは別に設けることを特徴とする半導体集積回路。

【請求項9】 請求項1乃至請求項8に記載された半導体集積回路の内の何れか1つにおいて、

各MOSトランジスタは、絶縁体層と前記絶縁体層の上面に形成した単結晶シリコン膜から成るSOI基板上に形成され、SOI層の基板部の電位を制御することを特徴とする半導体集積回路。

【請求項10】 請求項1乃至請求項8に記載された半導体集積回路の内の何れか1つにおいて、

各MOSトランジスタは、絶縁体層と、絶縁体層の上面に配置された単結晶シリコン層とを含むSOI基板上に、両者間にチャンネル領域を挟むように配置されたソース領域及びドレイン領域と、上記チャンネル領域上方に配置されたトランジスタ用ゲート電極と、上記チャンネル領域と同一の不純物を含み、かつ上記チャンネル領域に接続された不純物拡散領域と、当該不純物拡散領域に接続される基板電位制御端子とを備え、

該不純物拡散領域の電位がソース領域の電位と等しい場合に、上記チャンネル領域下の空乏層の下端が上記絶縁体層上端近傍に届くように上記単結晶シリコン層の膜厚及び上記チャンネル領域の不純物濃度が設定されていることを特徴とする半導体集積回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、半導体集積回路に関する。

【0002】

【従来の技術】 現在、携帯電話や携帯情報端末などの携帯機器市場が急速に立ち上がりつつある。携帯機器においても半導体はキーマウントとして重要であり、特に携帯機器の場合、バッテリー駆動で使用することから、低電源電圧においても高速に動作すること、なおかつ低消費電力であることが強く求められる。通常、電源電圧が低くなるとトランジスタのしきい値電圧が相対的に高くなるため、回路動作が急激に遅くなる。これを避けるためトランジスタのしきい値電圧を下げると、トランジスタのオフ時のリーク電流が増加するため回路の消費電力が

増加する。相反する2つの要求を同時に満たすため、以下の2つの回路手法が提案されている。第1の手法は、1996年の国際固体素子回路会議(ISSCC'96)ダイジェスト166~167ページの「A 0.9V 150MHz 10mW 4mm² 2-D Discrete Cosine Transform Core Processor with Variable-Threshold-Voltage Scheme」に示されている手法である。本手法は、スタンバイ時には回路動作が不要なためトランジスタのバックノード電位を深くして実効的なしきい値電圧を上げることで、回路の消費電力を抑える。また、アクティブ時にはトランジスタのバックノード電位を浅くして実効的なしきい値電圧を下げ、回路を高速に動作させる。ここで、バックノード電位とは、バルクシリコン状に形成されたMOSトランジスタでは、チャンネルの形成される基板部の電位を示し、SOI構造のMOSトランジスタでは、チャンネル領域の下部である、SOI層の基板部の電位を示す。以下に同じである。第2の手法は、文献Journal of Solid State Circuit Vol. 31 No. 4の586~591ページの「SOI-DRAM Circuit Technologies for Low Power High Speed Multigiga Scale Memories」に示されているDRAMのセンス動作を加速する手法である。通常のDRAMに備えられるセンスアンプでは、センスアンプトランジスタのバックノード電位がセンス開始時に必ず実効的に負となりセンス動作が遅くなるのに対し、本手法では、センスアンプトランジスタのバックノード電位をソースノードに対して相対的に高く設定して、センス初期の動作を加速することができる。

【0003】

【発明が解決しようとする課題】 しかし、上記第1の手法では、アクティブ時には常にバックノード電位を浅くしているため、回路全体の消費電流が増加する問題があった。また上記の第2の手法では、センス初期の動作しか加速できない。さらに、センス開始以前であってもバックノード電位をソースノードに対して相対的に高く設定しているため、センスアンプトランジスタが低しきい値化してメモリセルから読み出した電荷がロスするという問題があった。

【0004】 本発明は、以上の問題点を鑑みてなされたものであり、低い電源電圧下でも高速動作と低消費電力を両立する半導体集積回路を提供することを目的としている。

【0005】

【課題を解決するための手段】 本発明の第1の半導体集積回路では、基板部の電位を制御する基板電位制御端子を備えるMOSトランジスタと、当該MOSトランジスタのゲートへの入力信号の立ち上がり及び立ち下がりタイミングに応じて、該MOSトランジスタの基板電位制御端子の電位を、該MOSトランジスタのしきい値が低

くなる方向に、所定の期間、パルス状に変化させる制御回路とを備える。このように、MOSTランジスタの駆動時に、基板電位制御端子に所定の信号を印加してしきい値を低くすることで、回路動作が高速化する。また、基板電位制御端子に印加する電位をパルス状に変化させることで、回路全体の消費電流の増加を最小限に抑えることができる。

【0006】本発明の第2の半導体集積回路では、基板部の電位を制御する基板電位制御端子を備えるMOSTランジスタと、当該MOSTランジスタを活性化させる信号がゲートに入力されている期間中、該MOSTランジスタの基板電位制御端子の電位を、該MOSTランジスタのしきい値が低くなる方向にパルス状に変化させる制御回路とを備える。このように、MOSTランジスタの駆動時に、基板電位制御端子に所定の信号を印加してしきい値を低くすることで、回路動作が高速化する。また、基板電位制御端子に印加する電位をパルス状に変化させることで、回路全体の消費電流の増加を最小限に抑えることができる。

【0007】本発明の第3の半導体集積回路では、基板部の電位を制御する基板電位制御端子を備えるMOSTランジスタを、1つ以上用いてなる演算回路と、演算回路を作動させる制御信号を生成する制御回路と、制御信号による演算回路の作動開始タイミングを第1のタイミングとし、当該活性化された演算回路内の信号の遷移する最も遅いタイミングを第2のタイミングとし、第1のタイミング及び第2のタイミングに挟まれた期間、演算回路で用いるMOSTランジスタの基板電位制御端子の電位を、ゲートのしきい値が低くなる方向にパルス状に変化させるバイアス制御回路とを備える。上記構成により、演算回路において、演算が実行され、信号処理が行われている間は、MOSTランジスタの基板電位制御端子にパルス状の信号を印加してしきい値を低くすることで、回路動作が高速化される。また、基板電位制御端子に印加する電位をパルス状に変化させることで、回路全体の消費電流の増加を最小限に抑えることができる。

【0008】本発明の第4の半導体集積回路では、複数の演算回路が、基板部の電位を制御する基板電位制御端子を備えるMOSTランジスタを用いて構成される信号伝搬経路を介して接続してなる演算部と、各演算回路の信号伝搬経路が信号を伝搬する期間中、当該信号伝搬経路が備えるMOSTランジスタのしきい値を低くする方向に基板電位制御端子の電位をパルス状に変化させる制御回路とを備える。

【0009】本発明の第5の半導体集積回路では、基板部の電位を制御する基板電位制御端子を備えるMOSTランジスタを、各々使用する複数の内部回路と、外部より入力される信号に基づいて、複数の内部回路の各々へ所定の制御信号を出力すると共に、当該内部回路の備えるMOSTランジスタのしきい値を低くする方向に基板

電位制御端子の電位をパルス状に変化させる制御回路とを備える。

【0010】本発明の第6の半導体集積回路では、各々基板部の電位を制御する基板電位制御端子を備えるMOSTランジスタであって、第1及び第2のNチャンネルMOSTランジスタのソースが第1のドライブ線に共通に接続し、第1及び第2のPチャンネルMOSTランジスタのソースが第2のドライブ線に共通に接続され、第1のNチャンネルMOSTランジスタのドレイン及び第1のPチャンネルMOSTランジスタのドレインと第2のNチャンネルMOSTランジスタのゲート及び第2のPチャンネルMOSTランジスタのゲートがビット線に共通に接続し、第2のNチャンネルMOSTランジスタのドレイン及び第2のPチャンネルMOSTランジスタのドレインと第1のNチャンネルMOSTランジスタのゲート及び第1のPチャンネルMOSTランジスタのゲートがビット線と対をなすビット線バーに共通に接続し、第3のNチャンネルMOSTランジスタのドレインが第1のドライブ線に接続し、ソースがグランド線に接続しゲートが第1のセンス駆動信号に接続し、第3のPチャンネルMOSTランジスタのドレインが第2のドライブ線に接続し、ソースが電源線に接続し、ゲートが第2のセンス駆動信号に接続されてなるセンスアンプ回路と、センスアンプ回路において、センス動作の開始に伴い、第1及び第2のセンス駆動信号が第3のNチャンネルMOSTランジスタ及び第3のPチャンネルMOSTランジスタを活性化した直後に、第1及び第2のNチャンネルMOSTランジスタ、及び、第1及び第2のPチャンネルMOSTランジスタの基板電位制御端子の電位を、ゲートのしきい値が低くなる方向に、所定の期間だけパルス状に変化させると共に、上記センス動作の開始より所定の時間が経過した後に、第3のNチャンネルMOSTランジスタ及び第3のPチャンネルMOSTランジスタの基板電位制御端子の電位を、しきい値が低くなる方向に、所定の期間だけパルス状に変化させる制御回路とを備えることを特徴とする。

【0011】本発明の第7の半導体集積回路では、上記第6の半導体集積回路の構成において、制御回路は、上記センス動作の開始直後に、第1及び第2のNチャンネルMOSTランジスタの基板電位制御端子の電位を、第1及び第2のNチャンネルMOSTランジスタのソース電位より高く、該ソース電位に該トランジスタのP-チャンネルとN+ソースドレイン間のPN接合拡散電位を加えた電位よりも低い電位に、パルス状に変え、第1及び第2のPチャンネルMOSTランジスタの基板電位制御端子の電位を、第1及び第2のPチャンネルMOSTランジスタのソース電位より低く、該ソース電位から該トランジスタのN-チャンネルとP+ソースドレイン間のPN接合拡散電位を差し引いた電位よりも高い電位に、パルス状に変え、センス動作開始より所定の時間が

経過した後、第3のNチャンネルMOSトランジスタの基板電位制御端子の電位を、グランド電位よりも高く、該グランド電位に該トランジスタのP-チャンネルとN+ソースドレイン間のPN接合拡散電位を加えた電位よりも低く、パルス状に変え、第3のPチャンネルMOSトランジスタの基板電位制御端子の電位を、電源電位より低く、該電源電位から該トランジスタのN-チャンネルとP+ソースドレイン間のPN接合拡散電位を差し引いた電位よりも高い電位に、パルス状に変えることを特徴とする。

【0012】本発明の第8の半導体集積回路では、上記第6の半導体集積回路の構成において、更に、各MOSトランジスタに備える基板電位制御端子の電位がグランド電位にPN接合拡散電位を加えた電位を越えないようにクランプするPN接合ダイオードからなるクランプ回路を備え、上記クランプ回路には、クランプ電流が直接流入するグランド線を、第1及び第2のNチャンネルMOSトランジスタのソースノードが第3のNチャンネルMOSトランジスタを介して接続するグランド線とは別に設けることを特徴とする。

【0013】本発明の第9の半導体集積回路では、上記第1乃至第8の半導体集積回路の内の何れか1つにおいて、各MOSトランジスタは、絶縁体層と前記絶縁体層の上面に形成した単結晶シリコン膜から成るSOI基板上に形成され、SOI層の基板部の電位を制御することとを特徴とする。

【0014】本発明の第10の半導体集積回路では、上記第1乃至第8の半導体集積回路の内の何れか1つにおいて、更に、各MOSトランジスタは、絶縁体層と、絶縁体層の上面に配置された単結晶シリコン層とを含むSOI基板上に、両者間にチャンネル領域を挟むように配置されたソース領域及びドレイン領域と、上記チャンネル領域上方に配置されたトランジスタ用ゲート電極と、上記チャンネル領域と同一の不純物を含み、かつ上記チャンネル領域に接続された不純物拡散領域と、当該不純物拡散領域に接続される基板電位制御端子とを備え、該不純物拡散領域の電位がソース領域の電位と等しい場合に、上記チャンネル領域下の空乏層の下端が上記絶縁体層上端近傍に届くように上記単結晶シリコン層の膜厚及び上記チャンネル領域の不純物濃度が設定されていることを特徴とする。この場合、上記不純物拡散領域の電位をソース領域の電位に対して順方向にバイアスすることにより上記空乏層の幅が短くなり空乏層と埋め込み酸化膜の間に中性領域が現れ、上記不純物拡散領域の電位をソース領域の電位に対して逆方向にバイアスすることにより上記空乏層の幅が長くなり空乏層下端が埋め込み酸化膜上端に到達し、上記中性領域が無くなる。

【0015】

【発明の実施の形態】本発明の半導体集積回路は、MOSトランジスタを駆動する期間のみ、バックノード電位

を、そのしきい値が低くなる方向（以下、これを順方向という）に変化させることを特徴とする。ここで、バックノード電位とは、バルクシリコン上に形成されたMOSトランジスタではトランジスタの基板部の電位を示し、SOI構造のMOSトランジスタではトランジスタのSOI層の基板部の電位を示す。図1は、バルクシリコン上に形成したNチャンネルMOSトランジスタの構成を示す図である。当該NチャンネルMOSトランジスタは、P型シリコン基板1上に周知の技術で形成されたソース電極2、ドレイン電極3、ゲート電極4、ゲート酸化膜5、及びP-ウェル6より構成される。当該MOSトランジスタを活性化する際、即ち、ゲート電極4に“High”の信号を印加する際、P-ウェル6のバイアスの電位 V_B の値を、しきい値を下げる方向、即ち、ソース電極2又はドレイン電極3の電位に対して順方向に変化させて、その駆動速度を加速し、回路の高速動作を実現する。この時、バイアス電位 V_B を、必要な期間だけパルス状に変化させることで、回路の消費電力の増加を最小限に抑える。また、N-ウェル7により複数のNチャンネルMOSトランジスタのP-ウェル6を分離することができるため、必要なトランジスタのみバイアス電位 V_B を変化させることができる。なお、SOI構造のMOSトランジスタについては、後に図29～図33を用いて説明する。以下、添付の図面を用いて本発明の半導体集積回路の実施の形態1～8について順に説明する。

【0016】（1）実施の形態1

図2は、本発明の半導体集積回路の実施の形態1である、PチャンネルMOSトランジスタ101、NチャンネルMOSトランジスタ102、及び、バイアス制御回路103、104より構成されるCMOSインバータ回路100を示す図である。また、図3は、図2に示すCMOSインバータ回路100の各制御信号の波形を示すタイムチャートである。バイアス制御回路103は、入力信号INが“Low”に変化し始めてから、出力信号OUTが“High”に変化するまでの期間、PチャンネルMOSトランジスタ101のバックノード電位BPをパルス状に下げる。これにより、PチャンネルMOSトランジスタ101の駆動能力（スイッチング特性）が向上して、回路動作が速くなる。また、バイアス制御回路104は、入力信号INが“High”に変化し始めてから、出力信号OUTが“Low”に変化するまでの期間、NチャンネルMOSトランジスタ102のバックノード電位BNをパルス状に上げる。これにより、NチャンネルMOSトランジスタ102の駆動能力（スイッチング特性）が向上して、回路動作が速くなる。なお、バックノード電位を順方向に上げ続けて駆動能力を上げたままにするとリーク電流が増え、消費電力が増大するが、駆動能力を上げる期間を最小限に抑えることにより消費電力の増加を最小に抑えることができる。なお、PチャンネルMOSト

ランジスタ101のバックノード電位BPは、電源電位よりも低く、該電源電位から該PチャンネルMOSトランジスタ101のN-チャンネルとP+ソースソレイン間のPN接合拡散電位を差し引いた電位よりも高い電位に、パルス状に下げることが好ましい。また、NチャンネルMOSトランジスタ102のバックノード電位BNは、グランド電位よりも高く、該グランド電位にNチャンネルMOSトランジスタ102のP-チャンネルとN+ソースドレイン間のPN接合拡散電位を加えた電位よりも低い電位に、パルス状に上げることが好ましい。

【0017】図4は、バイアス制御回路103の回路図である。NORゲート112には、入力信号IN、及び、遅延回路110により所定時間だけ遅延された後に、インバータ111により反転された入力信号INが入力される。NORゲート112は、入力信号INが立ち下がった場合に、所定時間だけ"High"のタイミング信号Tを出力する。NORゲート112により出力されるタイミング信号Tは、PチャンネルMOSトランジスタ113のゲート電極に印加されると共に、インバータ114により反転されてPチャンネルMOSトランジスタ115のゲート電極に印加される。タイミング信号Tが"Low"の時、PチャンネルMOSトランジスタ115のスイッチがオンして $1/2V_{cc}$ 発生回路116から出力される $1/2V_{cc}$ が信号BPとして出力される。また、タイミング信号Tが"High"の時、PチャンネルMOSトランジスタ113のスイッチがオンして電源電位である V_{cc} が信号BPとして出力される。図5は、バイアス発生回路104の回路図である。ANDゲート120には、入力信号IN、及び、遅延回路121により所定時間だけ遅延された後に、インバータ126により反転された入力信号INが入力される。ANDゲート120は、入力信号INが立ち上がった場合に、所定時間だけ"High"のタイミング信号Tを出力する。ANDゲート120より出力されるタイミング信号Tは、NチャンネルMOSトランジスタ122のゲート電極に入力されると共に、インバータ123により反転された後に、NチャンネルMOSトランジスタ124のゲート電極に入力される。タイミング信号Tが"Low"の時、NチャンネルMOSトランジスタ124のスイッチがオンして0Vが信号BNとして出力される。また、タイミング信号Tが"High"の時、NチャンネルMOSトランジスタ122のスイッチがオンして $1/2V_{cc}$ 発生回路125から出力される $1/2V_{cc}$ が信号BNとして出力される。なお、本例ではCMOSインバータに関して説明したが、NANDゲートやNORゲートなどの回路でも同様の手法により同様の効果を得ることができる。

【0018】(2) 実施の形態2

図6は、本発明の半導体集積回路の実施の形態2である。NチャンネルMOSトランジスタ201及びバイアス制御回路202より構成される転送ゲート200を示

す図である。図7は、転送ゲート200の各制御信号の波形を示すタイムチャートである。ここでは転送ゲート200のゲート信号CTLが"High"である期間中に、入力信号INが"Low"に変化する場合について説明する。バイアス制御回路202は、信号CTLが"High"の期間、バックノード電位BNをパルス状に上げる。これによりNチャンネルMOSトランジスタ201のON抵抗が減り回路動作が速くなる。また入力信号INが"High"の時、出力信号OUTは"High"の電位からしきい値電圧分下がるが、バックノード電位BNを上げることにによりしきい値電圧が実効的に下がるため、電位の減少を抑えることができ、結果として後段の回路動作を加速することができる。なお、NチャンネルMOSトランジスタ201のバックノードBNは、ソース電位よりも高く、該ソース電位にNチャンネルMOSトランジスタ102のP-チャンネルとN+ソースドレイン間のPN接合拡散電位を加えた電位よりも低い電位に、パルス状に上げることが好ましい。

【0019】図8は、バイアス制御回路202の構成を示す図である。信号CTLは、NチャンネルMOSトランジスタ210のゲート電極に印加されると共に、インバータ211により反転された後にNチャンネルMOSトランジスタ212のゲート電極に印加される。信号CTLが"High"であるとき、 $1/2V_{cc}$ 発生回路213より出力される $1/2V_{cc}$ が信号BNとして出力される。また、信号CTLが"Low"にあるとき、0Vが信号BNとして出力される。これによって、図7に示す信号BNの波形が得られる。なお、NチャンネルMOSトランジスタとPチャンネルMOSトランジスタのトランジスタそれぞれ1個ずつから構成されるCMOS転送ゲートにおいても同様の手法により同様の効果を得ることができる。また、ゲート信号CTLが"High"である期間が長い場合には、消費電力を抑えるため、図9に示すように、入力信号INの遷移タイミングに応じてパルス状の信号BNを出力するバイアス制御回路を用いても良い。図10は、入力信号INの立ち上がり及び立ち下がりに応じて、所定の期間だけパルス状の信号BNを出力するバイアス制御回路220の構成を示す図である。EXORゲート221には、入力信号IN、及び、当該入力信号INを所定時間だけ遅延した信号が入力される。EXORゲート221は、入力信号INの立ち上がり及び立ち下がりに応じて、遅延回路222による遅延時間分だけ"High"のタイミング信号Tを出力する。タイミング信号Tは、NチャンネルMOSトランジスタ223のゲート電極に印加されると共に、インバータ224により反転された後にNチャンネルMOSトランジスタ225のゲート電極に印加される。タイミング信号Tが"High"にあるとき、 $1/2V_{cc}$ 発生回路227より出力される $1/2V_{cc}$ が信号BNとして出力される。また、タイミング信号Tが"Low"にあるとき、グランド電位が信号BNとし

て出力される。これによって、図9に示した信号BNの波形が得られる。

【0020】(3) 実施の形態3

図11は、上記発明の実施の形態1及び2に開示したCMOSインバータ回路100及び転送ゲート200を用いるLSIの回路ブロックを示す図である。本回路は、制御回路部250及び演算回路部252とから構成される。演算回路部252は、複数の演算回路252a～252hから構成される。演算回路252a～252hは、制御回路250からの制御信号により各々独立に制御される。制御回路250内部には、演算回路に対してバックノード信号を出力するバイアス制御部251が設けられている。バイアス制御部251には、実施の形態1及び2において説明したバイアス制御回路103、104、202又は220が設けられており、演算回路252a、252b、252fを構成するMOSトランジスタやCMOSインバータに対して所定のバックノード信号を出力する。図12は、このバックノード制御の対象である一つの演算回路に対して、バイアス制御回路104を用いた場合の制御信号の波形を示す図である。制御回路250より出力される制御信号の立ち上がりに伴い、演算回路内の信号が遷移する。バイアス制御部251は、制御信号の立ち上がりタイミングから演算回路内の信号の最も遅い遷移タイミングまで、図示するようなバックノード信号を出力し、演算回路内のトランジスタのバックノード電位をトランジスタのソースまたはドレインに対して順方向となる電位に変化させる。これにより、該演算回路の動作が加速される。なお、場合によっては、バイアス制御回路としてバイアス制御回路202を用いて、“High”の制御信号が出力されている期間中、バックノード信号を出力することとしても良い。上記のバックノード電位の制御は、演算回路部252の全体の速度を律速する演算回路、または、バックノード制御期間が短くて消費電力の増加が問題とならない演算回路に限定して行うことで回路全体の消費電力の増加を最小に抑えつつ性能を向上することができる。

【0021】(4) 実施の形態4

図13は、発明の実施の形態4である全加算器(1ビット加算回路)300の回路図である。本回路300は、1ビットデータ x_i 、 y_i 、及び下位に接続される全加算器からの桁上げ信号 c_{i-1} の入力に対して、1ビットの和 z_i と、桁上げ信号 c_i とを出力する。図14は、8つの全加算器302～309で構成されるリプルキャリー型の8ビット加算回路310を示す図である。8ビットデータ $x_0 \sim x_7$ 及び $y_0 \sim y_7$ の入力後、最下位ビットの全加算器302から最上位ビットの全加算器309まで、桁上げ信号 c_i が順次伝播して出力 $z_0 \sim z_7$ が確定する。この8ビット加算回路310の動作速度を律速する信号伝搬経路、すなわちクリティカルパスは、図13の全加算器300の回路図で示す桁上げ信号の伝搬

経路350である。図15は、上記リプルキャリー型の8ビット加算回路310へのバス入出力を2相クロックで制御する場合の回路構成を示す図である。Xバス及びYバスからのデータの入力はクロック信号CLK1により制御される。また、和 z の出力は、クロック信号CLK2により制御される。図16は、このリプルキャリー型の8ビット加算回路310の制御信号波形を示す図である。入力の変化から出力 z が確定するまでの期間、桁上げ信号の伝搬経路350にある伝達ゲート301及びインバータ302を構成するMOSトランジスタのバイアス電位 V_B を順方向に変化させることにより、桁上げ信号の伝播速度を加速することができ、回路全体の動作周波数を上げることができる。また、バイアス電位 V_B の制御をクリティカルパスのトランジスタに限定することにより消費電力の増加を最小に抑えることができる。図17は、桁上げ信号伝搬経路350にある伝達ゲート301およびインバータ302を構成するMOSトランジスタのバイアス電位 V_B を順方向に変化させるバイアス制御回路330の構成を示す図である。本回路は図5に示したバイアス制御回路104と同じ構成であり、入力信号INのかわりに第1クロック信号CLK1及び遅延回路332により当該クロック信号CLK1を所定時間だけ遅延させた信号を、ANDゲート331に入力してタイミング信号Tを生成する。ANDゲート331は、入力信号INが立ち上がった場合に、所定時間だけ“High”のタイミング信号Tを出力する。ANDゲート331より出力されるタイミング信号Tは、NチャンネルMOSトランジスタ334のゲート電極に入力されると共に、インバータ335により反転された後に、NチャンネルMOSトランジスタ336のゲート電極に入力される。タイミング信号Tが“Low”の時、NチャンネルMOSトランジスタ336のスイッチがオンしてグランド電位が信号BNとして出力される。また、タイミング信号Tが“High”の時、NチャンネルMOSトランジスタ334のスイッチがオンして $1/2V_{CC}$ 発生回路337から出力される $1/2V_{CC}$ が信号BNとして出力される。これにより、図16に示す信号BNの波形が出力される。

【0022】(5) 実施の形態5

図18は、 \neg RAS信号及び \neg CAS信号により制御されるDRAM400の回路ブロックを示す図である。なお、信号の前に付す“ \neg ”は、反転信号であることを示す。以下、全ての信号について同じである。RAラッチ回路401は、 \neg RAS信号の立ち下がりタイミングで行アドレスRAをラッチして内部アドレス信号を出力する。RAデコード403は、信号生成回路410から出力されるデコードイネーブル信号RADEの立ち上がりタイミングでRAラッチ401より出力される該内部アドレス信号をラッチして、アレイ制御信号を出力する。また、CAラッチ回路408は、 \neg CAS信号の遷移タ

イミングで列アドレスCAをラッチして内部アドレス信号を出力する。CAデコーダ409は、信号生成回路410から出力されるデコードイネーブル信号CADEの遷移タイミングでCAラッチ408より出力される該内部アドレス信号をラッチして、アレイ制御信号を出力する。アレイ回路404は、RAデコーダ403及びCAデコーダ409より出力されるアレイ制御信号により選択された格納データを活性化して内部データを出力する。センスアンプ回路405は、信号発生回路410より出力されるセンスアンプイネーブル信号SONの遷移タイミングでメモリアレイより出力されたデータの信号を増幅して出力する。データバス回路406は、信号発生回路410より出力されるデータバスイネーブル信号CSLの遷移タイミングでセンスアンプ回路405より出力されたデータを出力バッファ回路407に出力する。出力バッファ回路407は、信号発生回路410より出力される出力イネーブル信号OEの遷移タイミングでバスを介して入力されたデータを外部に出力する。

【0023】図19は、DRAM400内部の信号生成回路410で生成される代表的な制御信号の波形を示すタイミングチャートである。行アドレス（図中、RAと記す）ラッチ回路401と列アドレス（図中、CAと記す）ラッチ回路408の動作タイミングは、外部より入力されるクロック信号である/RAS信号と/CAS信号により直接制御される。他の内部回路の動作タイミングは、これらの外部より入力されるクロック信号より生成される遅延制御信号群により制御される。DRAM400では、これらの遅延制御信号群を生成する制御回路において通常の制御信号に加え、MOSTランジスタのバイアス電位 V_B を制御するタイミング信号 $T_1 \sim T_6$ を生成する。以下、図19に示す各制御信号の波形を参照しつつ、読み出し時の回路動作を説明する。/RAS信号の立ち下がりに伴い、RAラッチ回路401が行アドレスをラッチする。行アドレスのラッチを行った後は制御回路402の制御に従い、RAデコーダ403、アレイ回路404、センスアンプ405、データバス回路406、出力バッファ407が順次動作し、読み出しデータが出力される。この時、各回路の状態遷移時に、実施の形態1で説明したバイアス制御回路103及び104、又は、実施の形態2で説明したバイアス制御回路202及び220を利用してNチャンネルMOSTランジスタ及びPチャンネルMOSTランジスタのバイアス電位 V_B をパルス状に順方向に変化させることにより、DRAM400の回路動作を加速する。

【0024】図20は、DRAM400において、/RAS信号及び/CAS信号に基づいて、各制御信号、及び、制御信号に応じて動作するMOSTランジスタのバイアス電位 V_B を順方向に変化させるタイミングを制御するためのタイミング信号Tを生成する信号生成回路410を示す図である。/RAS信号は、RAラッチ回路

401に入力される。また、ANDゲート414には、遅延回路413により遅延した/RAS信号及びインバータ411により反転した/RAS信号が入力される。ANDゲート414は、RAラッチ回路401を駆動するMOSTランジスタのバイアス電位 V_B を順方向に変化させるタイミングを制御するタイミング信号 T_1 を出力する。/RAS信号は、インバータ411及び遅延回路412、435を介してRAデコーダ403のイネーブル信号RADEとして出力される。ANDゲート415には、RADEA信号、及び、当該RADEA信号をインバータ436で反転し更に遅延回路437により遅延した信号が入力され、RAデコーダ403を駆動するMOSTランジスタのバイアス電位 V_B を順方向に変化させるタイミングを制御するタイミング信号 T_2 を出力する。RADE信号は、遅延回路416、438により遅延された後にセンスアンプ405のイネーブル信号SONとして出力される。ANDゲート419には、SONA信号、及び、該SONA信号をインバータ417で反転し更に遅延回路418により遅延した信号が入力され、センスアンプ405を駆動するMOSTランジスタのバイアス電位 V_B を順方向に変化させるタイミングを制御するタイミング信号 T_3 を出力する。外部より入力される/CAS信号は、CAラッチ回路408に入力される。また、ANDゲート421には、遅延回路420で遅延した/CAS信号、及び、インバータ422で反転した/CAS信号が入力される。ANDゲート412は、CAラッチ回路408を駆動するMOSTランジスタのバイアス電位 V_B を順方向に変化させるタイミングを制御するタイミング信号 T_4 を出力する。また、/CAS信号は、インバータ422により反転され、遅延回路423により遅延された後に、CAデコーダ409のイネーブル信号CADEとして出力される。信号SON及びCADEは、それぞれANDゲート424に入力される。ANDゲート424の出力は、遅延回路425、439により遅延された後に、データバス回路406のイネーブル信号CSLとして出力される。また、ANDゲート428には、信号CSLA、及び、該信号CSLAをインバータ426により反転し、遅延回路427で遅延した信号が入力される。ANDゲート428は、データバス回路406を駆動するMOSTランジスタのバイアス電位 V_B を順方向に変化させるタイミングを制御するタイミング信号 T_5 を出力する。ANDゲート431には、遅延回路429により遅延された信号CSL、及び、外部より入力される制御信号/OEをインバータ430により反転した信号が入力される。ANDゲートは、出力バッファ407をイネーブルにする信号OEを出力する。また、ANDゲート434には、信号OE、及び、該信号OEをインバータ432により反転し、遅延回路433により遅延した信号が入力される。ANDゲート434は、出力バッファ407を駆動するMOS

トランジスタのバイアス電位 V_B を順方向に変化させるタイミングを制御するタイミング信号 T_6 を出力する。図示しないが、タイミング信号 $T_1 \sim T_6$ を出力するANDゲート414、415、419、421、428及び434の出力端は、それぞれ、図5に示すバイアス制御回路104に接続されている。既に説明したように、バイアス制御回路104は、タイミング信号 $T_1 \sim T_6$ が“High”にあるときに、各回路を構成するMOSトランジスタの $1/2 V_{CC}$ のバイアス電位 V_B を出力する。これにより、図19に示すような波形の制御信号を得ることができる。信号生成回路410では、制御信号毎にバイアス電位 V_B を制御するタイミング信号 T を生成する。このため、複雑なバイアス制御回路を必要とせず、例えば、バイアス制御回路104のように、負荷の小さな簡単な回路を採用することができ、各MOSトランジスタのバイアス電位 V_B の制御に必要な駆動能力が少なく済む。また制御回路毎に、タイミング信号 T を生成し、制御回路を駆動するMOSトランジスタのバイアス電流を順方向に変化させる期間を所定の期間に限ることで、回路動作を加速するのに必要なピーク電流、及び、その制御により加速動作する回路のピーク電流の増加を同時に抑えることができ、結果としてDRAM400全体の消費電力を抑えることができる。

【0025】(6) 実施の形態6

図21は、DRAM400が備えるセンスアンプ回路405の構成を示す図である。センスアンプ回路405は、センスアンプトランジスタM1～M4よりなるCMOSのバランス型フリップフロップ回路、及び、センスアンプ駆動トランジスタM5及びM6で構成される。NチャンネルMOSトランジスタM1、M2のソース電極は、第1のドライブ線450に共通に接続されている。PチャンネルMOSトランジスタM3、M4のソース電極は、第2のドライブ線451に共通に接続されている。NチャンネルMOSトランジスタM1のドレイン電極、PチャンネルMOSトランジスタM3のドレイン電極、NチャンネルMOSトランジスタM2のゲート電極、及び、PチャンネルMOSトランジスタM4のゲート電極は、ビット線452に共通に接続される。NチャンネルMOSトランジスタM2のドレイン電極、PチャンネルMOSトランジスタM4のドレイン電極、NチャンネルMOSトランジスタM1のゲート電極、及び、PチャンネルMOSトランジスタM3のゲート電極は、ビット線と対をなすビット線バー453に共通に接続されている。NチャンネルMOSトランジスタM5のドレイン電極は第1のドライブ線450に接続され、ソース電極はグランド線454に接続され、ゲート電極は第1のセンス駆動信号線455に接続されている。PチャンネルMOSトランジスタM6のドレイン電極は第2のドライブ線451に接続され、ソース電極は電源線456に接続され、ゲート電極は第2のセンス駆動信号線457に接続されている。Nチャンネ

ルMOSトランジスタM1、M2のバックノード電位を変更する端子は、バックノード信号線458に接続されており、PチャンネルMOSトランジスタM3、M4のバックノードを変更する端子は、バックノード信号線459に接続されている。NチャンネルMOSトランジスタM5のバックノードを変更する端子は、バックノード信号線460に接続されている。PチャンネルMOSトランジスタM6のバックノードを変更する端子は、バックノード信号線461に接続されている。

【0026】図22は、センスアンプ回路405の制御信号及び出力信号の波形図である。以下、この波形図を参照しつつ、セル電荷の読み出し時の回路動作を説明する。ワード線に流れる信号WLが立ち上がり、メモリセルからセル電荷が読み出される前において、ビット線452、453に流れる信号BL及び \bar{BL} 、第1及び第2のドライブ線450、451に流れるソース信号 SOP 及び SON がイコライズ電位($1/2 V_{CC}$ 電位)にプリチャージされている。信号WLが立ち上がるとセル電荷がビット線452に読み出され、ビット線452の電位が $BL = 1/2 V_{CC} - \Delta V$ に変化する。 ΔV はメモリセルとビット線452の容量比で決まる電位差である($\Delta V = 1/2 V_{CC} \cdot C_s / (C_b + C_s)$)。Nチャンネルセンスアンプ駆動信号である信号 SON の立ち上がりと同時に、バックノード信号線458に流れるトランジスタM1、M2のバックノード電位 SBN をグランド電位から所定の電位へと立ち上げる(図中の矢印bを参照)。ここで、バックノード電位 SBN は、NチャンネルMOSトランジスタM1、M2のソース電位よりも高く、該ソース電位にP-チャンネルと、N+ソースドレイン間のPN接合拡散電位を加えた電位よりも低い電位に設定する。また、Pチャンネルセンスアンプ駆動信号である信号 SOP の立ち下がりと同時に、バックノード信号線459に流れるトランジスタM3、M4のバックノード電位 SBP を電源電位から所定の電位へと立ち下げる(図中の矢印aを参照)。ここで、バックノード電位 SBP は、PチャンネルトランジスタM3、M4のソース電位より低く、該ソース電位から該トランジスタのN-チャンネルとP+ソースドレイン間のPN接合拡散電位を差し引いた電位よりも高い電位に設定する。通常のセンスアンプ動作に加えバックノード電位をこのように制御することによりトランジスタM1～M4の駆動能力が増すため、矢印a'及びb'に示すように、ビット線452、453に流れるBL及び \bar{BL} の電位差の増幅が加速する。これにより、BLと $S2N$ 、及び、 \bar{BL} と $S2P$ の電位差がより迅速に収束する。この初期センス動作によりBLと \bar{BL} の電位差が増大し、ビット線452、453の電位とソース信号線450、451の電位差が小さくなると、トランジスタM1～M4のバックノード電位 SBN 及び SBP を元の電位に戻し、駆動能力を通常の状態に戻す。この例で

はBL電位が"Low"側に、/BLが"High"側に变化しており、バックノード電位制御なしでもトランジスタM1とM4がオンするレベルになっている。一方、トランジスタM2とM3はバックノード電位制御をしない方が十分にオフし、リーク電流を抑えることができる。引き続き、トランジスタM5とM6のバックノード電位SWN、/SWPを順方向にバイアスし、ソース電位のグラウンド電位及び V_{cc} 電位への変化を加速することによりセンス動作を加速する。ここで、バックノード電位SWNは、NチャンネルMOSトランジスタM5のグラウンド電位よりも高く、該グラウンド電位に該トランジスタM5のP-チャンネルとN+ソースドレイン間のPN接合拡散電位を加えた電位よりも低い電位に設定する。また、バックノード電位/SWPは、PチャンネルMOSトランジスタM6の電源電位よりも低く、該電源電位から該トランジスタM6のN-チャンネルとP+ソースドレイン間のPN接合拡散電位を差し引いた電位よりも高い電位に設定する。この後期センス動作によりビット線電位に十分に差がついてから、バックノード電位SWN、SWPを元の電位に戻す。なお、上記のバックノード信号/SBP、SBN、/SWP、SWNを出力するバイアス制御回路には、図4及び図5に示すバイアス制御回路103及び104と同じ構成の回路を採用する。バックノード信号を変化させるタイミングは、遅延回路による遅延時間を制御して行う。以上、説明するように、センスアンプ405を構成するトランジスタM1~M4のバイアス電位 V_b を順方向に変化させることで初期センス動作を加速することができる。またセンスアンプ405を駆動するトランジスタM5とM6のバイアス電位を順方向に変化させることでセンス動作の後半の動作も加速することができる。また、センスアンプ405を構成するトランジスタM1~M4のバイアス電位 V_b の制御開始をセンス駆動信号/SOPとSONが出力された後にすることで初期電荷をロスすることがないためセンスアンプの感度の低下や初期電荷の目減りによるセンス速度の低下を招くことなくセンス動作を加速できる。トランジスタのバックノード電位を順方向で与える期間を限定することにより、消費電力の増加を最低限に抑えつつセンス動作を加速することができる。なお、ここでは、"Low"の電位読み出しの場合について述べたが、"High"の電位読み出しの場合についても同様の効果を得ることができる。

【0027】以下に、バックノード電位をパルス状に変化させる場合の効果を確認するため、バックノード電位/SBP、SBNを、上記初期センス動作の開始前から順方向に変化させておき、初期センスの動作後に、出力を変化させた場合について考察する。図23に、初期センス動作前からバックノード電位を変化させておいた場合における信号波形を実線で示し、バックノード電位を順方向に制御した場合の信号波形を点線で示す。セル電

荷の読み出し直後において、ソース信号線450、451の電位が $1/2V_{cc}$ であり、ビット線452の電位が $1/2V_{cc}-\Delta V$ 、ビット線453の電位が $1/2V_{cc}$ の状態でも、トランジスタM1のしきい値電圧が ΔV より充分大きければセル電荷のロスは発生しない。しかしながらセンス動作開始前の斜線で示す期間中において、トランジスタM1のバックノード電位SBNを順方向にバイアスした場合、実効的にそのしきい値電圧が下がるためセル電荷のリークが生じ ΔV の目減りが発生し、点線で示すようにセンス速度が低下してしまう。以上の考察より、バックノード電位は、センス動作の開始と同時に、又は、直後に変化させることが好ましいことが理解される。

【0028】図24は、SOI層の基板部とソース電極間の電圧 V_{bs} に対するSOI層の基板部とソース電極間に流れるダイオード電流 I_{bs} を示す図である。たとえば、ある注入条件では $V_{bs}=0.6V$ で $1\mu A$ の電流が流れ、この電流が通常のドレイン電極に流れる電流に加算され、ソース電流が増加する。絶対値は異なるが、定性的にはバルクシリコン上に形成されたMOSトランジスタでも同じである。上記説明したセンスアンプ405を構成するトランジスタM1~M4に過大な順方向電圧を印加すると、ソース電流が増加するためソース電位の電圧効果が増大し、逆にセンス動作の速度が低下することがある。センスアンプ405はレイアウト面積の制約から図25のように一列に並べ、これを串団子のように貫く制御信号線を介してその一端から駆動される。バックノード駆動信号のオーバーシュートにより過大な順方向電圧が駆動回路に近い側のセンスアンプを構成するトランジスタ(図25では、M1~M4)に印加され順方向電流がソース信号線、また電源・Gnd線に流れる。そこで、センスアンプ405では、駆動回路近傍に、バックノード信号線460の電位が、グラウンド電位にPN接合拡散電位を加えた電位を越えないようにクランプするクランプ回路500を追加し、クランプ電流の流れ込むグラウンド線GndBを、センスアンプトランジスタM5のグラウンド線GndAと別個独立に設けてソース電流の増加をなくすことで、バックノード制御による加速効果をより確実に確保する。

【0029】(7)実施の形態7

図26は、DRAM400のビット線イコライズ回路470を示す図である。ビット線イコライズ回路470は、センス動作により V_{cc} とグラウンド電位に遷移したビット線452とビット線バー453の電位を、 $V_{b1}=1/2V_{cc}$ に戻す為の回路である。当該回路470は、3つのNチャンネルMOSトランジスタ471、472、473より構成される。これら3つのNチャンネルMOSトランジスタ471、472、473のゲート電極は互いに接続され、共通のゲート信号であるイコライズ制御信号BLEQ($=1V$)により制御を行う。ま

た、各トランジスタ471、472、473のバックノード電位制御端子は、互いにバックノード信号線474により接続され、バックノード信号EQBODYにより制御される。図27は、ビット線イコライズ回路470のレイアウトを示す図である。当該回路は、矩形形状の活性領域480上にH型のゲート481を形成してなり、このうち3つのN+活性領域がビット線ノード476、ビット線バーノード477、プリチャージ電位ノード478に割り当てられ、1つのP+活性領域がバックノード制御ノード479に割り当てられる。図28は、ビット線イコライズ回路470における信号波形である。波形500は、BLEQ信号を示す。波形501は、NチャンネルMOSトランジスタの基板部に印加するバックノード信号EQBODY信号を示す。波形502は、バイアス電位 V_B をグランド電位に維持した場合のイコライズ動作を示す。ここで、イコライズ制御信号BLEQの立ち上がりと同時にMOSトランジスタ471、472、473のバイアス電位 V_B をグランド電位から $1/2V_{CC}$ 電位に上げる。これにより図6に示した転送ゲート200の場合と同様にMOSトランジスタ471、472、473の駆動能力が上がり、波形503に示すようにイコライズ動作を加速することができる。波形502と波形503を比較すれば、バイアス電位 V_B を $1/2V_{CC}$ に設定することで、イコライズ動作が6ns速く終了することがわかる。波形501に示すように、イコライズ時以外は、バイアス電位 V_B をグランド電位に保つ。これによりイコライズ時以外の電流のリークを抑えることができる。なお、バックノード信号EQBODYは、先に図8に示したバイアス制御回路202により生成される。また、ビット線イコライズ回路470では、バックノード電位をイコライズ電位と同電位に設定するためバックノードと他のノード間のリークが発生しないという効果も合わせ持つ。

【0030】(8)実施の形態8

上記実施の形態1～7では、図1に示したように、バルクシリコン上に形成したMOSトランジスタを採用しており、バックノード電位の制御は、制御対象となるトランジスタの基板部を含むウェルのバイアス電位 V_B を制御することで実現できる。図29は、SOI基板上に形成したMOSトランジスタの構成を示す図である。当該MOSトランジスタは、埋め込み酸化膜よりなる絶縁体層601と、絶縁体層の上面に配置された単結晶シリコン層602（以下、SOI層と呼ぶ）とを含むSOI基板600上に、チャンネル領域を挟むように配置されたソース領域603及びドレイン領域604と、上記チャンネル領域上方にゲート酸化膜605を介して設けられるゲート電極606より構成される。当該MOSトランジスタにおけるバックノード電位の制御は、チャンネル領域610の電位を制御することで行われる。しかし、SOI基板600上に形成されるMOSトランジスタに

は、このチャンネル領域610の電位を直接制御する端子が設けられておらず、バックノード電位の制御を行うことはできない。図30は、SOI基板700上に形成したMOSトランジスタにおいてSOI層の基板部であるボディ領域705の電位を制御するために用いるレイアウトである。図示するように、矩形形状の活性領域上にT字型のゲート電極領域702及び703にn+拡散層を設けると共に、ゲート701下に形成されるボディ領域705（本図では見えていない）と同じ不純物を含み、かつボディ領域705に接続されている不純物拡散領域（以下、この領域をボディ固定領域という）704を設ける。なお、SOI基板上に形成したトランジスタでは、チャネル注入量とSOI層の膜厚の設定によりチャネル下のボディ領域が全て空乏化するものと、部分的に空乏化するものがある。図31(a)は、図30に示したトランジスタが部分空乏化トランジスタである場合におけるA-A'断面を示し、(b)は、B-B'断面を示す図である。図示するように、空乏領域710の下に残ったボディ領域705がボディ固定領域704とつながり電極として働くため、その電位を変えることによりトランジスタの特性を変えることができる。図32(a)は、図30に示したトランジスタが完全空乏化トランジスタである場合におけるA-A'断面を示し、(b)は、B-B'断面を示す図である。完全空乏化トランジスタの場合、空乏領域720の下にボディ領域705がないため、トランジスタとして理想的な特性が得られる。例えば、しきし値電圧より低い領域で、ドレイン電流を一桁増やすのに必要なゲート電圧の変化量のことをSファクタと呼び、ゲートによるトランジスタの制御性を表すが、完全空乏化トランジスタでは、このSファクタの値を理論限界値である60mV近傍にまで下げることができる。なお、上記Sファクタは、次の数1により表される。

【数1】

$$S = \frac{dV_{as}}{d(\log I_D)} = \underbrace{\log_{10} \cdot \frac{kT}{q}}_{S_0} \left(1 + \frac{C_D}{C_{ox}}\right)$$

ここで、 C_{ox} はゲート酸化膜容量、 T は絶対温度、 C_D は空乏層容量、 q は素電荷である。完全空乏化トランジスタでは、上記数1の変数 S_0 の後の因子の値が1になる。この場合において、上記するSファクタの値、即ち、60mV近傍値は、室温($T=300K$)において、上記数1に示す変数 S_0 の値に対応する。例えば、NチャンネルMOSトランジスタの場合、SOI層の膜厚とトランジスタのチャネル注入量を調整し、チャネル下の空乏領域の下端を埋め込み酸化膜にちょうど届くように設定することにより、トランジスタの動作モードをボディ電位制御により完全空乏化トランジスタと部分空乏化トランジスタの間でダイナミックに変化させることが

できる。以下、このようなトランジスタをモード遷移トランジスタという。空乏層幅の最大値 x_{dmax} は、以下の数2により求められる。

【数2】

$$X_{dmax} = \sqrt{\frac{2\epsilon_{si}\epsilon_0(2\phi_F)}{qN_A}}$$

ここで、 ϵ_{si} はシリコンの比誘電率であり、 ϵ_0 は真空の誘電率であり、 ϕ_F はフェルミポテンシャルであり、 q は素電荷であり、 N_A はチャンネル濃度である。チャンネル濃度は、チャンネル注入量（チャンネル部に打ち込む不純物の量）にほぼ比例する。したがって、SOI層の膜厚 t_{si} に対してチャンネル濃度を変えることにより、空乏層の下端が埋め込み酸化膜の上端近傍に届くように設定することが可能となる。即ち、次の数3に示す条件が満たされる場合には、ボディ固定領域を介してトランジスタのバックノードに、ソースノードまたはドレインノードに対して順方向となる電位を与えると、空乏層が短くなり、ゲート下部の空乏層の下、埋め込み酸化膜の上に中性領域が出現する。つまり、トランジスタが部分的に空乏化する。

【数3】

$$X_{dmax} \approx t_{si}$$

また、ボディ固定領域を介してトランジスタのバックノードに、ソースノード又はドレインノードに対して逆方向となる電位を与えると、空乏層が延びて空乏層の下端が埋め込み酸化膜上端に達し、中性領域は消えてしまう。つまりトランジスタが完全に空乏化する。従って、バックノード電位がグランド電位（又はソース電位と等しい）の時に上記数2の条件を満足するように、（即ち、空乏層下端が埋め込み酸化膜上端部に届くように）SOI層の膜厚とチャンネル濃度を制御することができる。

【0031】図33は、Nチャンネルのモード遷移トランジスタの特性を、横軸をボディ電圧、縦軸を動作電流とし、ゲート電圧をパラメータとしてプロットしたグラフである。右側が部分空乏化モードであり、ボディ電圧を順方向に上げることにより同じゲート電圧でもより大きいドレイン電流を得ることができる。左側が完全空乏化モードであり、部分空乏化モードに比べてSファクタが小さい。つまり同じゲート電圧の変化に対してドレイン電流の変化が大きいことが分かる。したがって、ボディ電圧を逆方向に下げることによりゲート電圧が0Vでのいわゆるリーク電流を大幅に減らすことができる。さらに、このモード遷移トランジスタのモード遷移電圧を0V近傍に設定することにより、ボディ電位制御に用いる電位を同じチップ上で発生することができる。これにより、このモード遷移トランジスタを用いた回路を動作させるための外部電源や別部品の追加が不要となるため実用回路素子として広く応用することができるという効果

も合わせ持つ。

【0032】

【発明の効果】本発明の第1の半導体集積回路では、MOSトランジスタのゲートへの入力信号の立ち上がり及び立ち下がりタイミングに応じて、基板電位制御端子にパルス状の信号を印加してしきい値を低くすることで、回路動作の高速化を図ることができる。また、基板電位制御端子に印加する電位をパルス状に変化させることで、回路全体の消費電流の増加を最小限に抑えることができる。

【0033】本発明の第2の半導体集積回路では、MOSトランジスタのゲート駆動時に、基板電位制御端子にパルス状の信号を印加してしきい値を低くすることで、回路動作の高速化を図ることができる。また、基板電位制御端子に印加する電位をパルス状に変化させることで、回路全体の消費電流の増加を最小限に抑えることができる。

【0034】本発明の第3の半導体集積回路では、演算回路において、演算が実行され、信号処理が行われている間は、MOSトランジスタの基板電位制御端子にパルス状の信号を印加してしきい値を低くすることで、回路動作の高速化を図ることができる。また、基板電位制御端子に印加する電位をパルス状に変化させることで、回路全体の消費電流の増加を最小限に抑えることができる。

【0035】本発明の第4の半導体集積回路では、演算回路を結ぶ信号伝搬経路が信号を搬送している期間中、MOSトランジスタの基板電位制御端子にパルス状の信号を印加してしきい値を低くすることで、回路動作の高速化を図ることができる。また、基板電位制御端子に印加する電位をパルス状に変化させることで、回路全体の消費電流の増加を最小限に抑えることができる。

【0036】本発明の第5の半導体集積回路では、各内部回路に対して、制御回路より所定の制御信号を出力して駆動する際に、内部回路に備えるMOSトランジスタ基板電位制御端子にパルス状の信号を印加してしきい値を低くすることで、回路動作の高速化を図ることができる。また、基板電位制御端子に印加する電位をパルス状に変化させることで、回路全体の消費電流の増加を最小限に抑えることができる。

【0037】本発明の第6の半導体集積回路であるセンサンプ回路は、センサンプ回路を構成する第1及び第2のNチャンネルMOSトランジスタ及び第1及び第2のPチャンネルMOSトランジスタのしきい値を低くすることで、センサ動作初期のセンサ速度を加速することができる。また、センサンプを駆動する第3のNチャンネルMOSトランジスタとPチャンネルMOSトランジスタのしきい値を低下させることで、センサ動作の後半の動作も加速することができる。また、センサ動作が開始してからしきい値を下げることで、初期電荷をロ

スセずにセンスアンプの感度の低下や初期電荷の目減りによるセンス速度の低下を招くことなくセンス動作を加速できる。また、トランジスタのバックノード電位を順方向で与える期間を限定することにより、消費電力の増加を最低限に抑えつつセンス動作を加速することができる。

【0038】本発明の第7の半導体集積回路であるセンスアンプ回路は、上記第6の半導体集積回路に基板電位制御端子に印加する電位を最適化することで、MOSTランジスタのしきい値を下げすぎることなくセンス動作を加速することができる。

【0039】本発明の第8の半導体集積回路では、上記第6の半導体集積回路にクランプ回路を採用することで、基板電位制御端子に過剰な電圧が印加されることを防止してより確実にセンス速度を加速することができる。

【0040】本発明の第9の半導体集積回路では、上記第1乃至第8の半導体集積回路に備えるMOSTランジスタを、SOI基板上に形成することで、回路の集積度を高めることができる。

【0041】さらに、本発明の第10の半導体集積回路では、上記第1乃至第8の半導体集積回路に備えるMOSTランジスタを、SOI基板上に形成されるモード遷移トランジスタとし、モード遷移電圧を0V近傍に設定することにより、ボディ電位制御に用いる電位を同じチップ上で発生することができる。これにより、当該半導体集積回路を用いた回路を動作させるための外部電源や別部品の追加が不要となるため実用回路素子として広く応用することができるという効果も合わせ持つ。

【図面の簡単な説明】

【図1】 バルクシリコン上に形成したMOSTランジスタの構成を示す図である。

【図2】 CMOSインバータ回路を示す図である。

【図3】 CMOSインバータ回路の各制御信号の波形を示すタイムチャートである。

【図4】 バイアス制御回路の回路図である。

【図5】 バイアス発生回路の回路図である。

【図6】 転送ゲートの構成を示す図である。

【図7】 転送ゲートの各制御信号の波形を示すタイムチャートである。

【図8】 バイアス制御回路の構成を示す図である。

【図9】 転送ゲートの各制御信号の波形を示すタイムチャートである。

【図10】 バイアス制御回路の構成を示す図である。

【図11】 CMOSインバータ回路及び転送ゲートを用いるLSIの回路ブロックを示す図である。

【図12】 演算回路における制御信号の波形を示す図である。

【図13】 全加算器(1ビット加算回路)の回路図である。

【図14】 リップルキャリー型の8ビット加算回路を示す図である。

【図15】 リップルキャリー型の8ビット加算回路へのバス入出力を2相クロックで制御する場合の回路構成を示す図である。

【図16】 リップルキャリー型の8ビット加算回路の制御信号波形を示す図である。

【図17】 桁上げ信号伝搬経路にある伝達ゲート及びインバータを構成するMOSTランジスタのバイアス電位 V_B を順方向に変化させるバイアス制御回路の構成を示す図である。

【図18】 \neg RAS信号及び \neg CAS信号により制御されるDRAMの回路ブロックを示す図である。

【図19】 DRAM内部の信号生成回路で生成される代表的な制御信号の波形を示すタイミングチャートである。

【図20】 DRAMにおいて、 \neg RAS信号及び \neg CAS信号に基づいて、各制御信号、及び、制御信号に応じて動作するMOSTランジスタのバイアス電位 V_B を順方向に変化させるタイミングを制御するためのタイミング信号Tを生成する信号生成回路を示す図である。

【図21】 DRAMが備えるセンスアンプの構成を示す図である。

【図22】 センスアンプの制御信号及び出力信号の波形図である。

【図23】 初期センス動作前からバックノード電位を順方向に制御した場合における信号波形を破線で示し、初期センス開始直後からバックノード電位を順方向に制御した場合の信号波形を実線で示す図である。

【図24】 基板部とソース電極間の電圧 V_{bs} に対するシリコン基板とソース電極間に流れるダイオード順方向電流を示す図である。

【図25】 センスアンプのトランジスタのバックノード電位の制御信号をクランプするクランプ回路図である。

【図26】 DRAMのビット線イコライズ回路を示す図である。

【図27】 ビット線イコライズ回路の基板レイアウトを示す図である。

【図28】 ビット線イコライズ回路における信号波形である。

【図29】 SOI基板上に形成したMOSTランジスタの構成を示す図である。

【図30】 SOI基板上に形成したMOSTランジスタにおいてボディ領域の電位を制御するために用いるレイアウトである。

【図31】 (a)は、トランジスタが部分空乏化トランジスタである場合におけるA-A'断面を示し、(b)は、B-B'断面を示す図である。

【図32】 (a)は、トランジスタが完全空乏化トラ

ンジスタである場合におけるA-A'断面を示し、
(b)は、B-B'断面を示す図である。

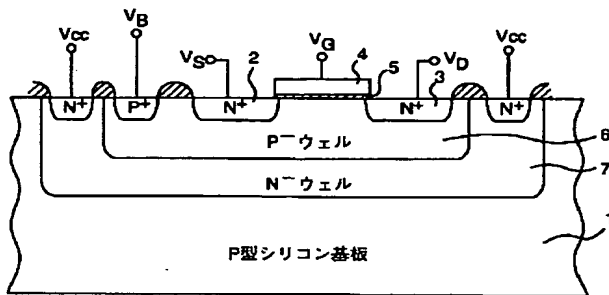
【図33】 横軸をボディ電圧、縦軸をドレイン電流とし、ゲート電圧をパラメータとしてプロットしたグラフである。

【符号の説明】

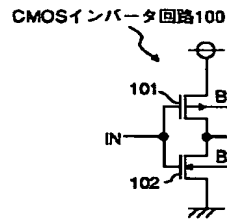
1 P型シリコン基盤、2 ソース、3 ドレイン、10、126、222、332、412、414、416、418、420、423、425、427、42

9、433 遅延回路、102、122、124、201、210、212、223、225、334、336、M1、M2、M5、471、472、473 NチャンネルMOSトランジスタ、101、113、115、M3、M4、M6 PチャンネルMOSトランジスタ、250 制御回路、103、104、202、220、251 バイアス制御回路、400 DRAM、405 センスアンプ回路、410 信号生成回路、450 ビット線イコライズ回路、500 クランプ回路。

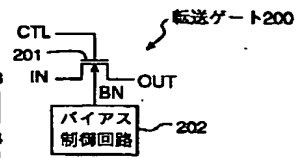
【図1】



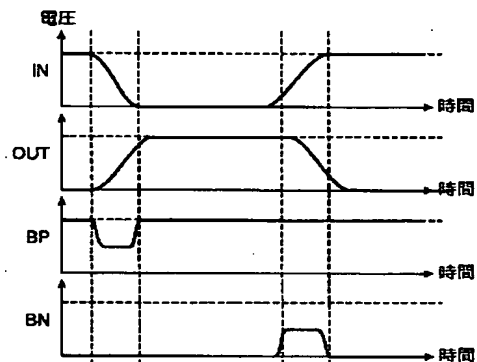
【図2】



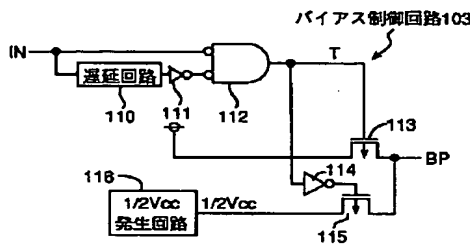
【図6】



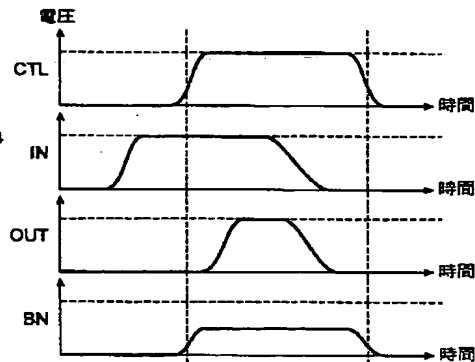
【図3】



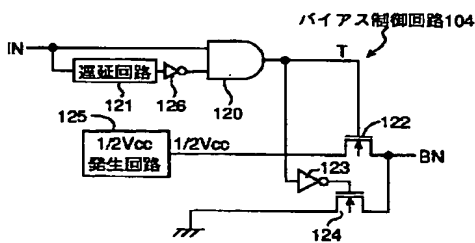
【図4】



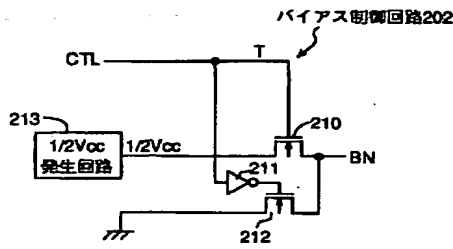
【図7】



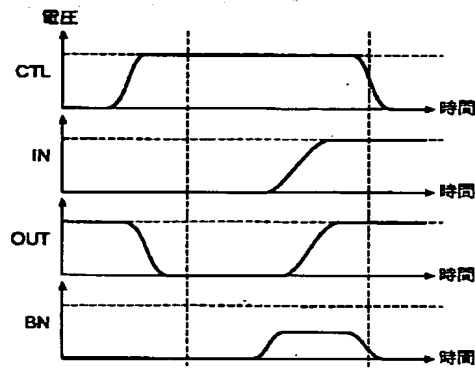
【図5】



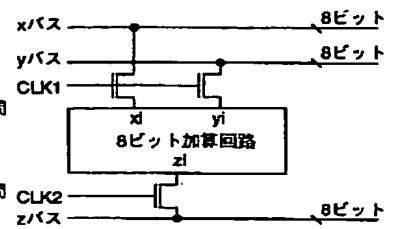
【図8】



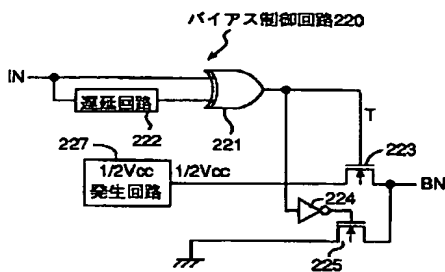
【図9】



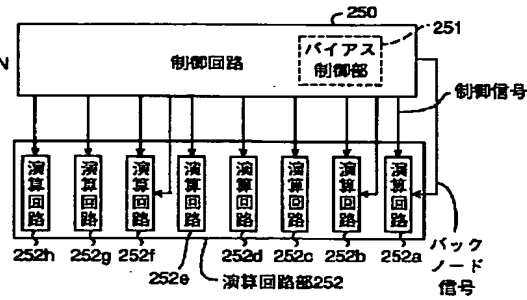
【図15】



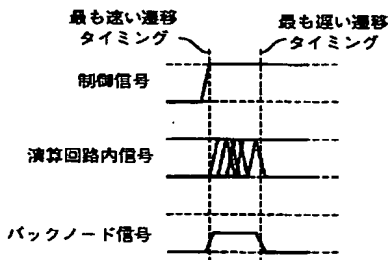
【図10】



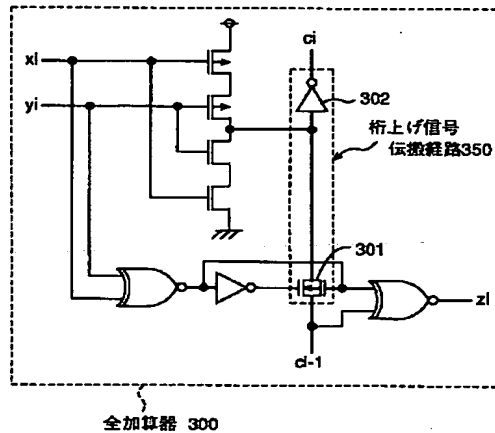
【図11】



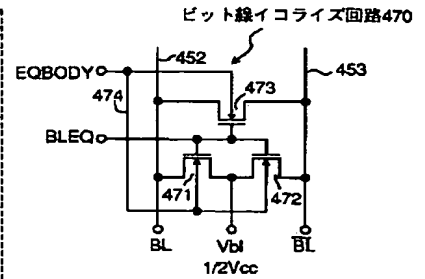
【図12】



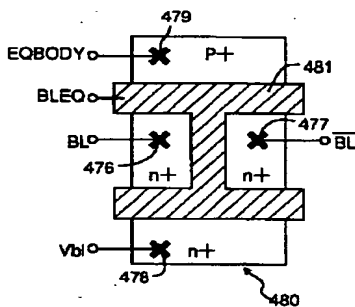
【図13】



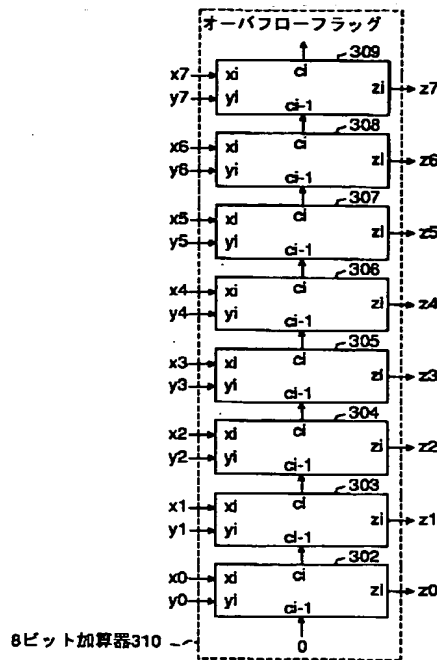
【図26】



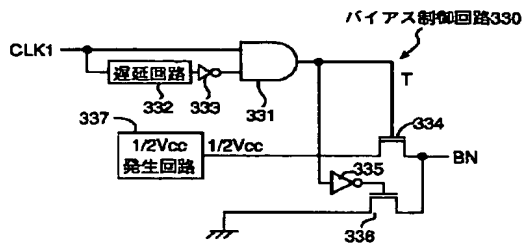
【図27】



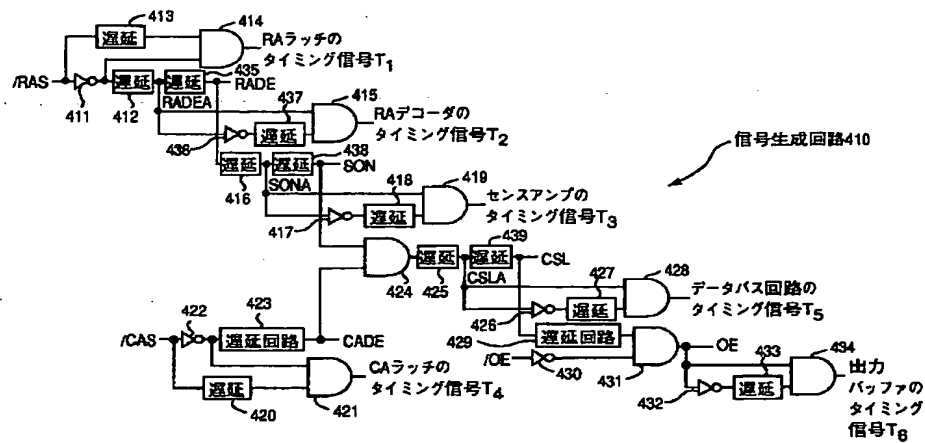
【図14】



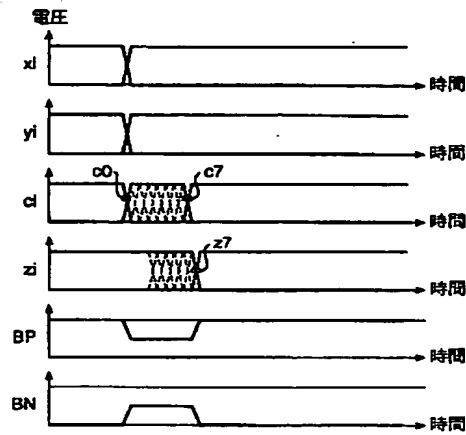
【図17】



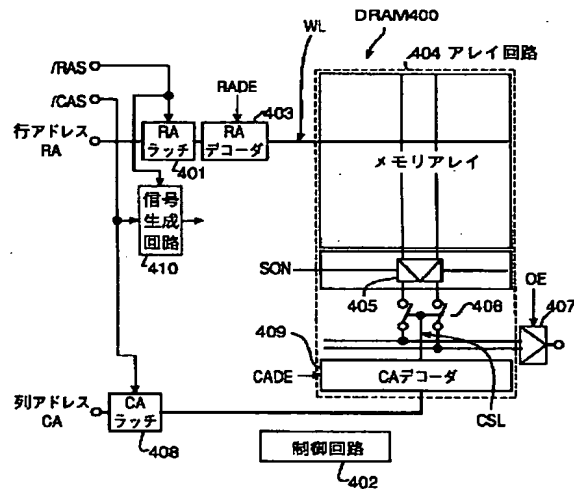
【図20】



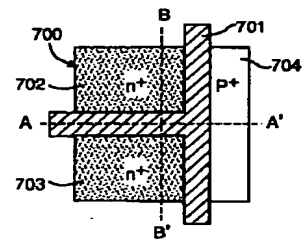
【図16】



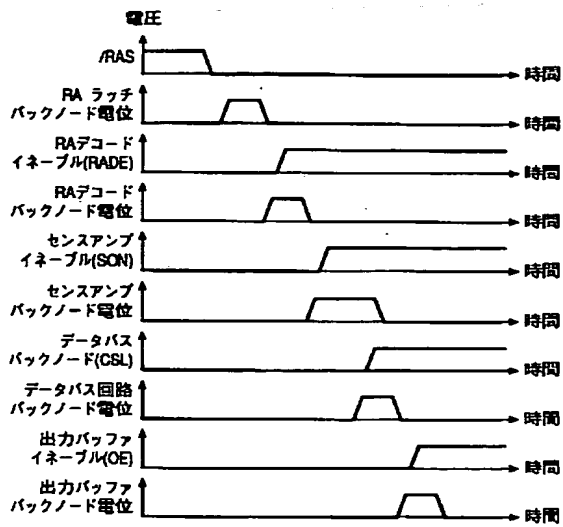
【図18】



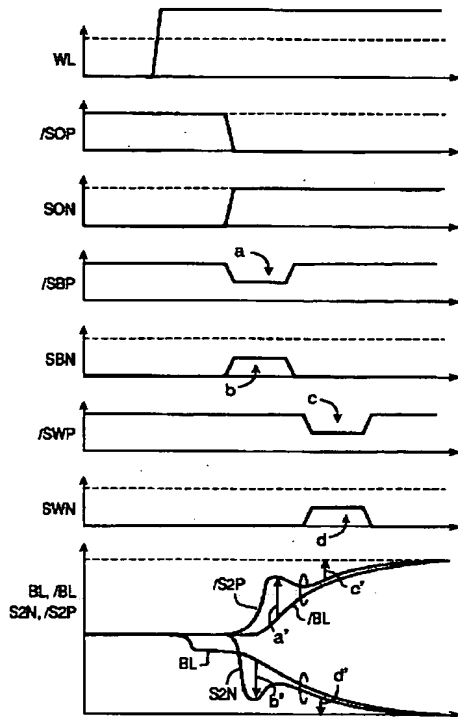
【図30】



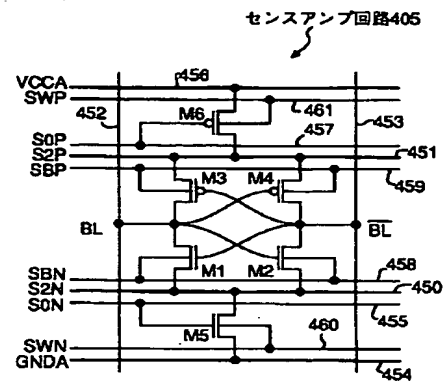
【図19】



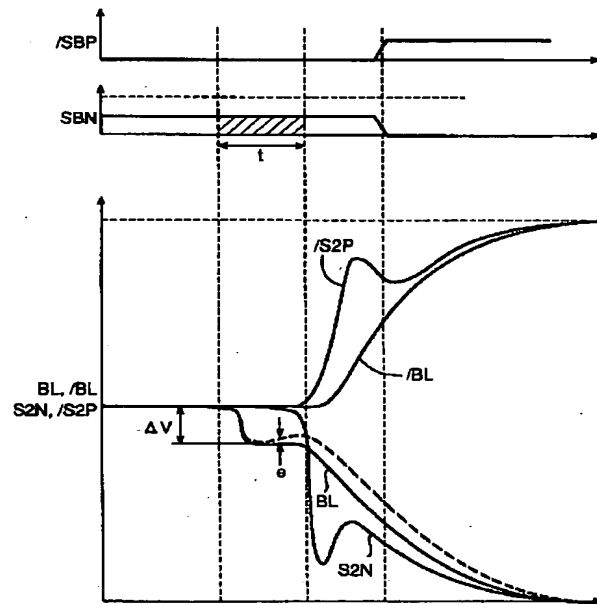
【図22】



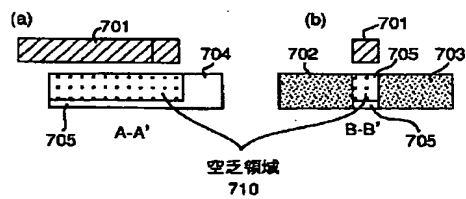
【図21】



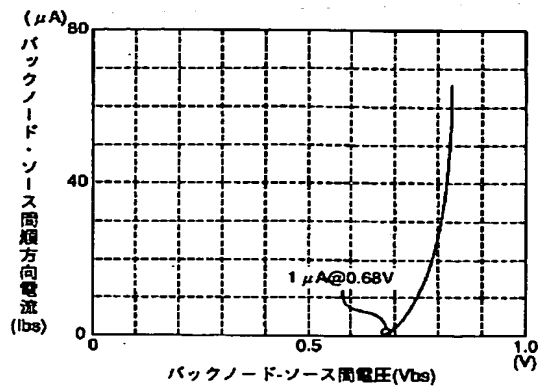
【図23】



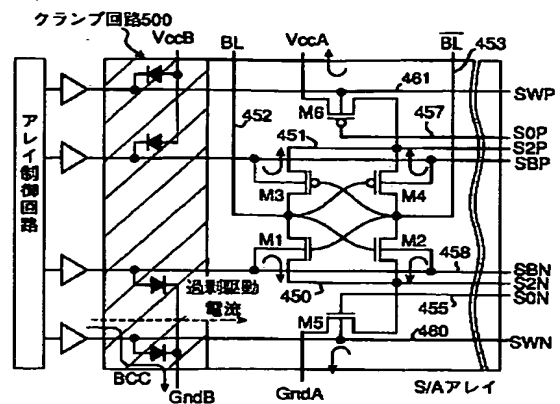
【図31】



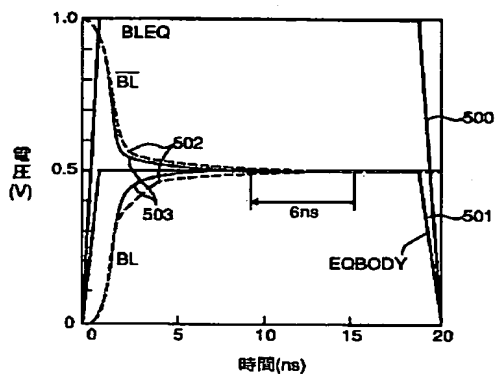
【図24】



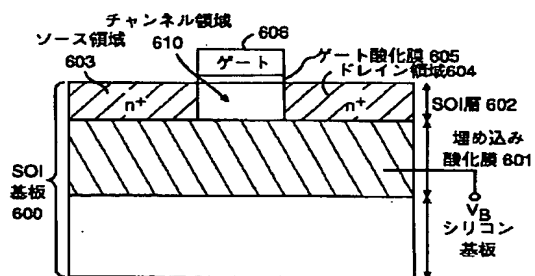
【図25】



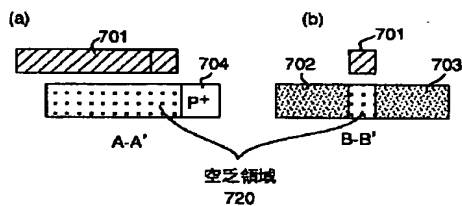
【図28】



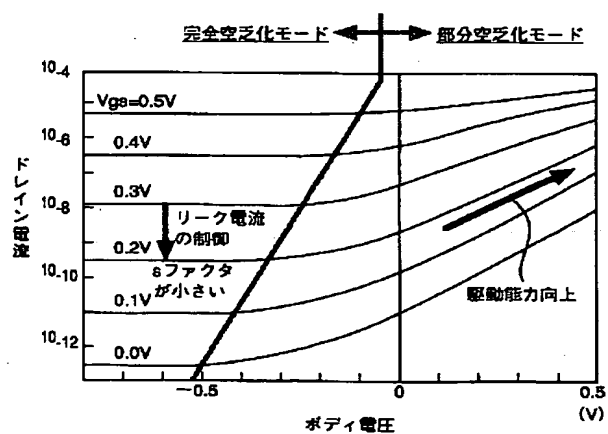
【図29】



【図32】



【図33】



フロントページの続き

(51)Int. Cl.⁶

識別記号

FI

H01L 27/06

H01L 29/78

613Z

27/108

21/8242

29/786